

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-164355

(43)Date of publication of application : 07.07.1988

(51)Int.Cl.

H01L 27/06

(21)Application number : 61-308575 (71)Applicant : OKI ELECTRIC IND CO LTD

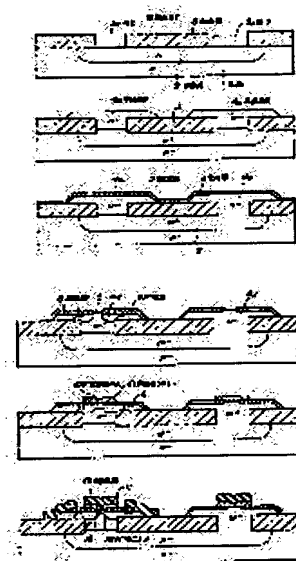
(22)Date of filing : 26.12.1986 (72)Inventor : KAWAKATSU AKIRA

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor integrated circuit device having base resistance lower than conventional devices and enabling operation at ultra-high speed by forming a single crystal semiconductor layer extending in an opening section and on an insulating film in the periphery of the opening section through selective epitaxial growth and lateral epitaxial growth.

CONSTITUTION: An N⁺ type buried diffusion layer 2 is shaped to the surface of a P- type silicon substrate 1. An silicon oxide film to which vertical openings 3a, 3b are formed is shaped onto these substrate 1 and layer 2. N- type single crystal layers 4a, 4b extending on an oxide film 3 in the periphery of the opening sections 3a, 3b from the opening sections 3a, 3b are grown under decompression through selective epitaxial growth and lateral epitaxial growth, and an oxide film 5 is formed onto the surfaces of the layers 4a, 4b. An N⁺ type emitter 12 is shaped into an active base 10 by a diffusion from polycrystalline silicon 11 through annealing. Lastly, a base contact hole is bored, and a metallic electrode 13 is formed. Accordingly, a base leading-out electrode is shaped by single crystal silicon, thus remarkably reducing resistance.



LEGAL STATUS

⑫ 公開特許公報(A)

昭63-164355

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)7月7日

H 01 L 27/06

E-7373-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路装置の製造方法

⑰ 特 願 昭61-308575

⑱ 出 願 昭61(1986)12月26日

⑲ 発 明 者 川 勝 章 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

1. 第1導電型拡散領域を表面に形成した第2導電型基板の表面上に絶縁膜を形成し、コレクタおよびエミッタ形成予定領域の前記絶縁膜に開口を設ける工程と、

前記開口内およびその周囲の前記絶縁膜上に第1導電型単結晶半導体層を選択的に成長させる工程と、

前記第1導電型単結晶半導体層上の前記開口に対応した位置に前記開口の幅よりも狭い幅のイオン注入マスクを形成する工程と、

前記イオン注入マスクを用いて前記第1導電型単結晶半導体層中にベースとなる第2導電型拡散層である第1の領域をエミッタ形成予定領域に対応した開口部に関連して形成する工程と、

前記イオン注入マスクを除去し、その直下の前記2つの第1の領域間に第2導電型拡散領域である第2の領域を形成する工程と、

前記第2の領域の表面にエミッタとなる第1導電型領域である第3の領域を形成する工程と、

前記第1および第3の領域並びに前記コレクタ形成領域の開口部に電極引出部を形成する工程とを備えた半導体集積回路装置の製造方法。

2. イオン注入マスクを形成する工程が耐酸化性膜を全面に形成し、これをレジストにより選択除去するものである特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

3. 選択除去が耐酸化性膜のサイドエッチを伴うものである特許請求の範囲第2項記載の半導体集積回路装置の製造方法。

4. 耐酸化性膜がシリコン窒化膜である特許請求の範囲第2項記載の半導体集積回路装置の製造方法。

5. イオン注入マスクの形成に先立ってコレクタ形成領域の第1導電型単結晶半導体層に多量

の第1導電型イオンを注入しておくことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

6. イオン注入マスクの除去前にその周囲に酸化膜を選択酸化により形成する工程を含む特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

7. 第3の領域の形成が、第1導電型不純物をドーブしたポリシリコン層からの拡散で行われるものである特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置の製造方法に関するもので、特に超高速動作が必要とされる半導体集積回路装置の製造に用いられるものである。

(従来の技術)

コンピュータ本体、大容量光伝達等高速動作が要求される分野で用いられる半導体集積回路装置

利得帯域幅積を向上させるには上述したような平面寸法の縮小によるエミッタ・ベース間及びベース・コレクタ間接合容量の減少のほか縦方向の縮小すなわちエミッタおよびベースの接合を浅くすることおよびコレクタをなすエピタキシャル層を薄くすることが有効である。

これらの要求を実現するため、いくつかの製造方法が提案されている。

まず第1にT. Sakai他、*Electronics Letters* Vol. 19 No. 8, pp. 283-284 April 1983. には多結晶シリコンを用いてベース電極を素子領域の外部まで引き出してベース領域幅を2 μ m前後まで減少させると共にベース抵抗の減少のために1 μ m以下の幅のエミッタを形成したものが示されている。

第2に、Nakamura他、*IEEE ISSCC (International Solid-State Circuit Conference) Digest of Technical Papers* pp214.

としてはECL/CML系のバイポーラ型半導体集積回路装置が一般的である。

このようなECL/CML系回路において消費電力や論理振幅を一定とした場合、動作速度は主として、回路を構成する素子および配線における寄生容量並びにトランジスタのベース抵抗および利得帯域幅積に依存し、特にベース・コレクタ間接合容量の動作速度への寄与が大きい。したがって、寄生容量を低減させるには、ベース・コレクタ間接合容量を減ずるのが効果的であり、このためベース面積を縮小する必要がある。また、抵抗・配線の寄生容量を低減するには厚い分離酸化膜上に不純物をドーブした多結晶シリコンでなる抵抗を形成する方法が一般に採用されている。

一方、ベース抵抗を低減させるには、低抵抗の不活性ベースをエミッタに近接させると共にエミッタ幅を縮小し、エミッタ直下の活性ベース層の抵抗を減少させることが効果的である。このようなエミッタ幅の縮小はエミッタ・ベース間接合容量を減少させる効果もある。

215, 274 Feb. 1981. には多結晶シリコンを用いてベース電極を素子領域の多部まで引き出すと共にベース側面に多結晶シリコン電極を形成することにより外部ベースを電力減少させたものが示されている。

第3に、Oh-uchi他、*IEDM Tech. Dig.*, pp55-58 1983 には第1の従来例と同様なベース電極の引出しを選択酸化法により実現したものが記載されている。

これらの従来技術によれば、ベース領域の幅を減少することによりベース・コレクタ接合容量の減少が実現され、ゲート遅延100ps/Gate以下の高速動作が報告されている。

(発明が解決しようとする問題点)

しかしながら、上記各技術でベース引出し電極として使用されている多結晶シリコンはベース抵抗の低減効果が必ずしも十分ではない。すなわち多結晶シリコンには結晶粒界が存在するため、キャリア移動度が低く、引出し電極層の層抵抗を100 Ω /□以下にすることは極めて困難であり、

数百 Ω/\square 程度が一般的であるため、ベース抵抗の低減には限界がある。

また、第1および第2の方法は、工程が極めて複雑であるという欠点があり、さらに第3の方法は、工程は比較的簡単であるが選択酸化により生じたバースピークによってエミッタベース間を分離する構造を採っているため、プロセス条件により変動しやすいバースピークを一定の大きさに形成することは容易でなく、再現性、均一性に問題があった。

そこで本発明は、従来よりも低いベース抵抗を有して超高速動作が可能な半導体集積回路装置を簡単な工程でしかも良好な再現性・均一性で製造することを可能にする製造方法を提供することを目的とする。

(問題点を解決するための手段)

本発明にかかる半導体集積回路装置の製造方法によれば埋込拡散層を有する半導体基板上に形成した厚い絶縁膜に開口を設け選択エピタキシャル成長とラテラルエピタキシャル成長によって開口

部内およびその周囲の絶縁膜上に延在する単結晶半導体層を形成し、エミッタ・ベース形成予定の開口部の単結晶半導体層中にエミッタと活性ベースを形成し絶縁膜上に延在する活性ベースとなった単結晶半導体層をベース引出し電極とするようにしている。

(作用)

本発明の製造方法によればベース引出し電極が単結晶シリコンとなるため従来に較べて著しくベース抵抗が低減され、動作速度が向上する。

また、本発明の製造方法では素子分離とベース引出し電極形成を一工程で行なうことができるため工程の簡略化を図ることができ、しかもプロセス条件の変動に敏感に依存するバースピークのような手段を用いていないため均一性・再現性を著しく改善することができる。

(実施例)

以下、本発明にかかる半導体集積回路装置の製造方法を図面を参照して詳細に説明する。

図(A)～(G)は本発明にかかる製造方法に

よるトランジスタの工程別断面図である。

まず図(A)に示されるようにP⁻型シリコン基板1の表面にN⁺型埋込拡散層2が形成され、これらの上に例えば1 μ m程度の厚さでかつエミッタ・ベース部およびコレクタ部となる所定部分に側壁が略垂直の開口3a、3bが設けられたシリコン酸化膜が形成される。

次に選択エピタキシャル成長およびラテラルエピタキシャル成長によって開口部3a、3bからその周囲の酸化膜3上に延在するN⁻型単結晶層4a、4bをジクロルシラン(SiH₂Cl₂)に塩化水素(HCl)を添加したガスを用いて減圧下で成長させて形成する(図(B))。

次いでエピタキシャル層4a、4bの表面に厚さ200～500Åの酸化膜5を形成した後レジストマスクを用いてエピタキシャル層4a側を覆い、エピタキシャル層4bに高濃度のN型不純物例えばリン(P)をイオン注入し、アニールを施してエピタキシャル層4bを埋込層2に到達するN⁺領域とする。その後全面にシリコン窒化膜6

を形成する(図(C))。

続いてレジスト7を全面に形成してこれをパターニングし、窒化膜6を食刻する(図(D))。この時図示したように適当量サイドエッチを行なうことが後のエミッタ領域の形成の上で有利である。次いで、レジスト7および窒化膜6をマスクとしてエピタキシャル層4a中に高濃度のホウ素(B)をイオン注入する。

次にレジスト7を除去し、アニール及び酸化を行ない、さらに窒化膜を除去する。これによりエピタキシャル層4a中に不活性ベース及びベース引出し電極となるP⁺型層9が形成される(図(E))。なお、P⁺型層9上に形成される酸化膜8の厚さは2000～3000Å程度が適当である。またホウ素のイオン注入中エピタキシャル層4b中にもホウ素が導入されることになるが既に高濃度のリンが含まれているためP型層は形成されない。

続いて薄い酸化膜5を介してホウ素を1～5×10¹³cm⁻²程度のドーズ量でイオン注入し、アニ

ールを行なって浅いP型活性ベース10を形成する。その後全面をフッ酸系エッチング液に浸漬して薄い酸化膜5を除去し、さらにヒ素を高濃度を含む多結晶シリコン11を写真食刻法により開口部3a, 3bに対応させて選択的に形成する(図(F))。

次にアニールを行ない多結晶シリコン11からの拡散により活性ベース10中に N^+ 型エミッタ12を形成する。最後にベースコンタクトホールを開口し、金属電極13を形成する(図(G))。

このようにして形成された半導体装置ではベース引出し電極が単結晶シリコンとなるため層抵抗を数 Ω/\square とすることができ、従来の多結晶シリコンに較べて著しい低抵抗化が可能となっている。また、エミッタ幅は工程(D)におけるサイドエッチと工程(E)における選択酸化によってマスク寸法よりも縮小されており、1 μm ルールの設計基準で0.5 μm 程度に微細化され、しかもエミッタと不活性ベースは極めて近接しているため、ベース抵抗は著しく低減される。

また、ベース・コレクタ接合面積は図(A)における酸化膜の開口面積となるが、開口部の幅は、図(D)からわかるように最小設計寸法にマスク合わせ余裕を加えた程度となる。従って1 μm ルールにおいては1.5~2 μm で充分であり従来技術と同等若しくはそれ以下となり、ベース・コレクタ間寄生容量も極めて小さくなり、ゲート遅延時間50ps/gateを切る超高速動作を実現することが可能である。

以上の実施例においてはNPNトランジスタを想定しているが、PNPトランジスタに本発明は同様に適用が可能である。

また、実施例で説明した不純物は適宜他のものを自由に選択することができる。

(発明の効果)

以上のように本発明にかかる半導体集積回路装置の製造方法によれば、ベース引出し電極を単結晶シリコンにしたことによるベース抵抗の減少、並びにベース・コレクタ接合面積の減少によるベース・コレクタ間接合容量の減少によって動作速

度を著しく向上させることが可能となる。

また、本発明の製造方法によれば素子分離と同時にベース引出し電極のパターン形成ができるため、製造工程が簡略化され、かつ、プロセス条件に依存しやすい工程を含んでいないので再現性・均一性に優れるという効果もある。

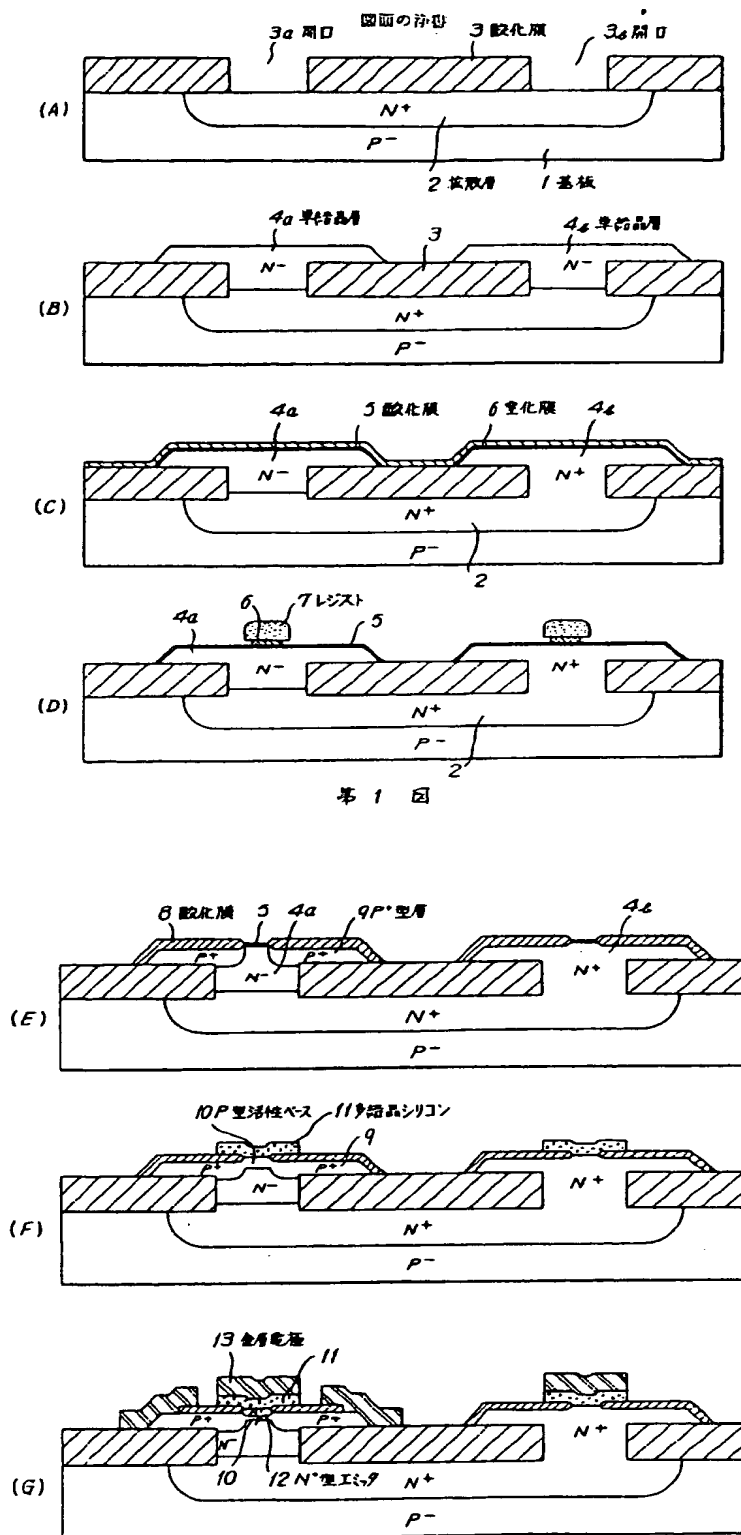
4. 図面の簡単な説明

図は本発明にかかる半導体集積回路装置の製造方法の一実施例を示す工程別断面図である。

1…半導体基板、2…拡散層、3…絶縁膜、3a, 3b…開口、4a, 4b…単結晶成長層、5…酸化膜、6…シリコン窒化膜、7…レジスト、8…酸化膜、9, 10, 12…拡散層、11…ポリシリコン層、13…電極配線。

特許出願人 沖電気工業株式会社
代理人 弁理士 鈴木 敏 明





第 1 図

第 1 図

手続補正書(方式)

昭和62年4月14日

特許庁長官 殿

- 1 事件の表示
昭和61年 特許願 第308575号
- 2 発明の名称
半導体集積回路装置の製造方法
- 3 補正をする者
事件との関係 特許出願人
沖電気工業株式会社
- 4 代理人 (郵便番号 105)
東京都港区虎ノ門1丁目7番12号
沖電気工業株式会社
(電話東京(501)3111大代表)
6892 弁理士 鈴木 敏 明
- 5 補正命令の日付
昭和62年3月4日
(発送日昭和62年3月31日)
- 6 補正の対象
明細書の「図面の簡単な説明」の欄および図面。
- 7 補正の内容
(1) 明細書の第13頁第8行の「図は」を「第1図は」に訂正する。
(2) 図面を別紙の通り訂正する。

